

⑫ 公開特許公報(A)

昭63-94718

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)4月25日

H 03 M 3/04

6832-5J

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 $\Delta \Sigma$ 型ADコンバーターオフセットキャンセル方式

⑯ 特 願 昭61-239363

⑰ 出 願 昭61(1986)10月9日

⑱ 発 明 者 今 井 忠 男 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑱ 発 明 者 橋 爪 幸 直 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑱ 発 明 者 林 敏 夫 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会
 社厚木電気通信研究所内
 ⑱ 発 明 者 内 村 国 治 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会
 社厚木電気通信研究所内
 ⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号
 ⑲ 代 理 人 弁理士 吉田 精孝

明 細 書

1. 発明の名称

$\Delta \Sigma$ 型ADコンバーターオフセットキャンセ
ル方式

2. 特許請求の範囲

サンプリング周波数を低減するデシメーショ
ンフィルターと組合せて使用するオーバーサンプ
ル $\Delta \Sigma$ 型ADコンバーターのオフセットキャンセ
ル方式において、

前記オーバーサンブル $\Delta \Sigma$ 型ADコンバータ
ーの入力に、アナログ入力信号又はアナロググラ
ンドのいずれか一方を切替接続する切替手段を設
け、

前記オーバーサンブル $\Delta \Sigma$ 型ADコンバータ
ーとデシメーションフィルターとの間に、該オー
バーサンブル $\Delta \Sigma$ 型ADコンバーターの出力の極
性をそのまま、あるいは反転させて送出する極性
制御手段を設け、

前記オーバーサンブル $\Delta \Sigma$ 型ADコンバータ
ーの入力にアナロググラウンドが接続されている間

のみ、その出力の極性を反転するよう、前記切替
手段および極性制御手段を制御した

ことを特徴とする $\Delta \Sigma$ 型ADコンバーターオ
フセットキャンセル方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、オーバーサンブル $\Delta \Sigma$ 型ADコン
バーターにおいて、出力ディジタル信号中に含ま
れるオフセット電圧をキャンセルする方式に関す
るものである。

(従来の技術)

一般に、直流の伝達が可能なアナログ・ディ
ジタル変換器(ADコンバーター)において、直
流分と交流分とを含んだアナログ入力信号をディ
ジタル信号に変換し信号処理を行なう場合、AD
コンバーター自体が生じるオフセット電圧により、
変換されたディジタル信号(符号)中にこのオフ
セット分が加算され、以後の処理に影響を及ぼす
ことがある。

このオフセット電圧を取除くため、従来、第

2図に示すようなチョッパ型のアナログ・デジタル変換方式のオフセットキャンセル方式が用いられた。第2図において、1は入力端子、2はスイッチ、3はADコンバータ、4はレジスタ、5は加算器、6は出力端子である。

前記方式によれば、ADコンバータ3の入力には、入力端子1より入力される直流分および交流分を含むアナログ入力信号INと、アナロググランドGNDとが、スイッチ2により交互に切替接続される。そして、アナロググランドGNDが接続された時、ADコンバータ3より出力されるデジタル値をADコンバータ3自体のオフセット電圧と見なし、これを加算器5により、それ以前にアナログ・デジタル変換しレジスタ4に記憶しておいたアナログ入力信号INに対するデジタル信号から引算することによって、オフセット電圧をキャンセルするようになっていた。
(発明が解決しようとする問題点)

オーバーサンプルΔΣ型ADコンバータにおいて、前記方式を適用することにより、そのオフセット電圧をキャンセルすることは可能である

- 3 -

オーバーサンプルΔΣ型ADコンバータの出力の極性をそのまま、あるいは反転させて送出する極性制御手段を設け、前記オーバーサンプルΔΣ型ADコンバータの入力にアナロググランドが接続されている間のみ、その出力の極性を反転するように、前記切替手段および極性制御手段を制御した。

(作 用)

本発明によれば、本来、アナロググランド、即ち接地電位に対応するデジタル信号が出力されるべき期間のみ、オーバーサンプルΔΣ型ADコンバータの出力の極性が反転されてデシメーションフィルタに入力されるため、オフセット電圧がある場合、該オフセット電圧分だけ逆極性の信号成分が多くなり、これがデシメーションフィルタの作用により平均化され、オフセット電圧がキャンセルされる。

(実施例)

第3図はオーバーサンプルΔΣ型ADコンバータを用いる場合の一般的な構成を示すもので

が、一般に精度の高い、即ちビット数の多いADコンバータ程、レジスタや加算器等のオフセットキャンセルのための回路のハード量が大きくなるため、オーバーサンプルΔΣ型ADコンバータへの適用は困難であるという問題点があった。

本発明は前記問題点を除去し、オーバーサンプルΔΣ型ADコンバータにおいて、わずかなハード量の回路を付加えることにより、オフセット電圧をキャンセルし得る方式を提供することを目的とする。

(問題点を解決するための手段)

本発明では前記問題点を解決するため、サンプリング周波数を低減するデシメーションフィルタと組合せて使用するオーバーサンプルΔΣ型ADコンバータのオフセットキャンセル方式において、前記オーバーサンプルΔΣ型ADコンバータの入力に、アナログ入力信号又はアナロググランドのいずれか一方を切替接続する切替手段を設け、前記オーバーサンプルΔΣ型ADコンバータとデシメーションフィルタとの間に、該

- 4 -

あり、入力端子1より入力されたアナログ信号は、オーバーサンプルΔΣ型ADコンバータ12により、高速且つ低分解能のデジタル信号に変換され、さらにデジタルフィルタで構成されたデシメーションフィルタ13により、必要なサンプリング速度まで低減され、出力端子14に出力される如くなっている。

第1図は本発明方式の基本的な構成を示すもので、図中、第3図と同一構成部分は同一符号をもって表わす。即ち、11は入力端子、12はオーバーサンプルΔΣ型ADコンバータ、13はデシメーションフィルタ、14は出力端子、15は切替手段、16は極性制御手段である。

前記切替手段15は入力端子11とオーバーサンプルΔΣ型ADコンバータ12との間に設けられ、アナログ入力信号INとアナロググランドGNDとを、オーバーサンプルΔΣ型ADコンバータ12の入力に切替接続する如くになっており、また、極性制御手段16はオーバーサンプルΔΣ型ADコンバータ12とデシメーションフ

- 5 -

- 6 -

フィルタ-13との間に設けられ、前記切替手段15によりオーバーサンプルΔΣ型ADコンバータ-12にアナロググランドGNDが接続されている間のみ、オーバーサンプルΔΣ型ADコンバータ-12の出力デジタル信号の極性を反転してデシメーションフィルタ-13に送出する如くなっている。

第4図は、1ビットのオーバーサンプルΔΣ型ADコンバータを用いた場合の具体的回路を示すもので、図中、21は入力端子、22はアナログマルチプレクサ、23はオーバーサンプルΔΣ型ADコンバータ（以下、単にADコンバータと称す。）、24は排他的論理和回路、25はデシメーションフィルタ（以下、デシメータと称す。）、26は出力端子、27は制御端子である。

前記アナログマルチプレクサ22は切替手段を構成するものであり、その2つの入力端子にはそれぞれ入力端子21およびアナロググランドGNDが接続され、出力端子はADコンバータ

23の入力に接続されている。

また、該アナログマルチプレクサ22には、図示しない制御回路、クロック信号源等より制御端子27を介して、制御信号としてクロックパルスCLKが供給されており、該クロックパルスCLKがハイ（“1”）レベルの時、アナロググランド電位を出力し、ロー（“0”）レベルの時、入力信号INを出力する如くなっている。

前記排他的論理和回路24は極性制御手段を構成するもので、その一方の入力端子にはADコンバータ-23の出力が接続され、また、他方の入力端子には前記制御端子27が接続され、出力端子はデシメータ25の入力に接続されている。

ここで、ADコンバータ-23はサンプリング周波数 f_1 で動作し、デシメータ25はサンプリング周波数を f_1 から f_2 に低減するものとする、一般に、制御端子27から入力されるクロックパルスCLKの周波数 f_3 は、

$$f_1 / 2 \gg f_3 \geq f_2$$

の関係を満足しなければならない。

- 7 -

以下、説明を簡単にするため、 $f_3 = f_2$ とし、また、入力信号中に直流成分がないものとして、動作について詳述する。

今、入力端子21に第5図(a)に示す入力信号INが入力され、制御端子27に第5図(b)に示すデューティ比50%のクロックパルスCLKが入力されているものとする、アナログマルチプレクサ22は、該クロックパルスCLKがハイレベルの期間においてはアナロググランド電位の信号を出力し、ローレベルの期間においては入力信号INを出力するため、その出力には第5図(c)に示す信号P1が現れる。

前記信号P1はADコンバータ-23に入力され、アナログ・デジタル変換され、「+1」又は「-1」の2値（但し、実際はハイ（“1”）レベル又はロー（“0”）レベルの2値）からなるデジタル信号P2として出力されるが、該デジタル信号P2はADコンバータ-23自体のオフセット電圧、例えばVofを含む値として現れる。

- 8 -

第5図(d)は、このデジタル信号P2をアナログ的に表わしたものである。

前記信号P2は排他的論理和回路24の一方の入力端子に入力されるが、他方の入力端子には前記クロックパルスCLKが入力されているため、クロックパルスCLKがローレベルの期間、即ちアナログ入力信号INに対応するデジタル信号がADコンバータ-23より出力されている間においては、前記デジタル信号P2はそのまま出力され、クロックパルスCLKがハイレベルの期間、即ちアナロググランド電位に対応するデジタル信号がADコンバータ-23より出力されている間においては、前記デジタル信号P2は極性が反転されて出力される。

第5図(e)は、この時の排他的論理和回路24の出力デジタル信号P3をアナログ的に表わしたものである。

前記信号P3はデシメータ25に入力され、周波数 f_2 毎に平均化され、出力端子26に出力される。この際、アナログ入力信号INに対応す

- 9 -

- 10 -

る信号P3中のオフセット電圧分の増加分、例えば第5図(e)における31と、アナログランド電位に対応する信号P3中のオフセット電圧分の減少分、例えば第5図(e)における32とが互いに打消し合い、ADコンバータ23で生じた直流オフセット電圧がキャンセルされる。

第5図(f)は、この際、デシメータ25より出力されるデジタル信号P4をアナログ的に表わしたものである。但し、該信号P4はデシメータ25の平均化作用のため、信号P3に対して半分の振幅となる。

このように前記実施例によれば、アナログマルチプレクサ22および排他的論理和回路24を設け、これらを制御するために一つのクロックパルスCLKを加えるのみで、ADコンバータ23において発生するオフセット電圧をキャンセルできる。

前記実施例では1ビットのオーバーサンプルΔΣ型ADコンバータを例として説明したが、より高精度なオーバーサンプルΔΣ型ADコンバ

ーターにおいても、本発明が適用可能であることはいうまでもない。

オーバーサンプルΔΣ型ADコンバータを高精度化する方法として、サンプリングスピードを上げる方法があるが、この場合はADコンバータの出力そのものの形態は前記実施例と同様であるため、排他的論理和回路として応答速度の早いものを使用すれば、前記実施例をそのまま適用できる。

また、オーバーサンプルΔΣ型ADコンバータを高精度化する他の方法として、出力の多ビット化(2〜3ビット)を行なう方法があるが、この場合でもADコンバータの極性を反転するのみで良いので、極性制御手段として簡単な構成の論理回路を付加することにより、オフセット電圧をキャンセルすることが可能である。また、次段のデシメーションフィルターの相性から、サイン・マグニチュード符号で多ビット化した場合においては、前記実施例同様、1個の排他的論理和回路により極性を反転することができる。

- 11 -

(発明の効果)

以上説明したように本発明によれば、オーバーサンプリングΔΣ型ADコンバータにおいて、従来のチョッパ型オフセットキャンセル方式のように多数ビット構成のレジスタや加算器を必要とせず、切替手段を構成するアナログマルチプレクサや極性制御手段を構成する排他的論理和回路等の少ないハード量の回路を付加するのみで、オフセット電圧をキャンセルできる利点がある。

4. 図面の簡単な説明

第1図は本発明方式の基本的な構成図、第2図は従来のオフセットキャンセル方式の一例を示す図、第3図はオーバーサンプルΔΣ型ADコンバータの一般的な使用形態を示す構成図、第4図は本発明の具体的な実施例を示す回路図、第5図(a)(b)(c)(d)(e)(f)は第4図の回路における各部の波形図である。

11…入力端子、12…オーバーサンプルΔΣ型ADコンバータ、13…デシメーションフィルター、14…出力端子、15…切替

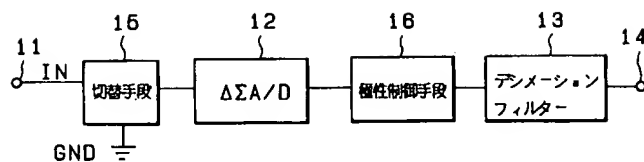
- 13 -

- 12 -

手段、16…極性制御手段。

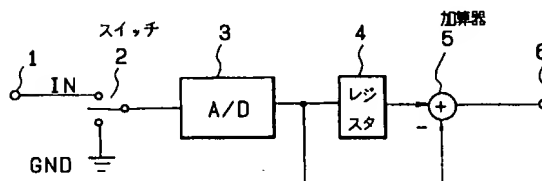
特許出願人 沖電気工業株式会社
日本電信電話株式会社
代理人弁理士 古田 精 孝

- 14 -



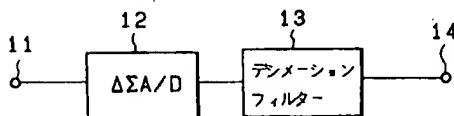
本発明方式の基本的な構成図

第1図



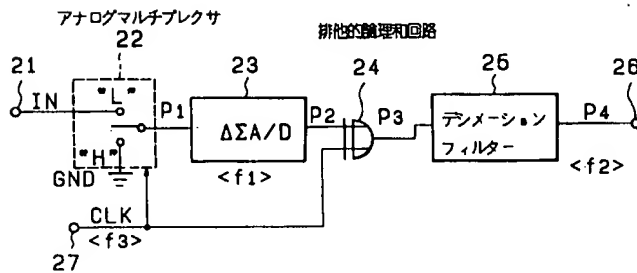
従来のオフセットキャンセル方式の一例を示す図

第2図



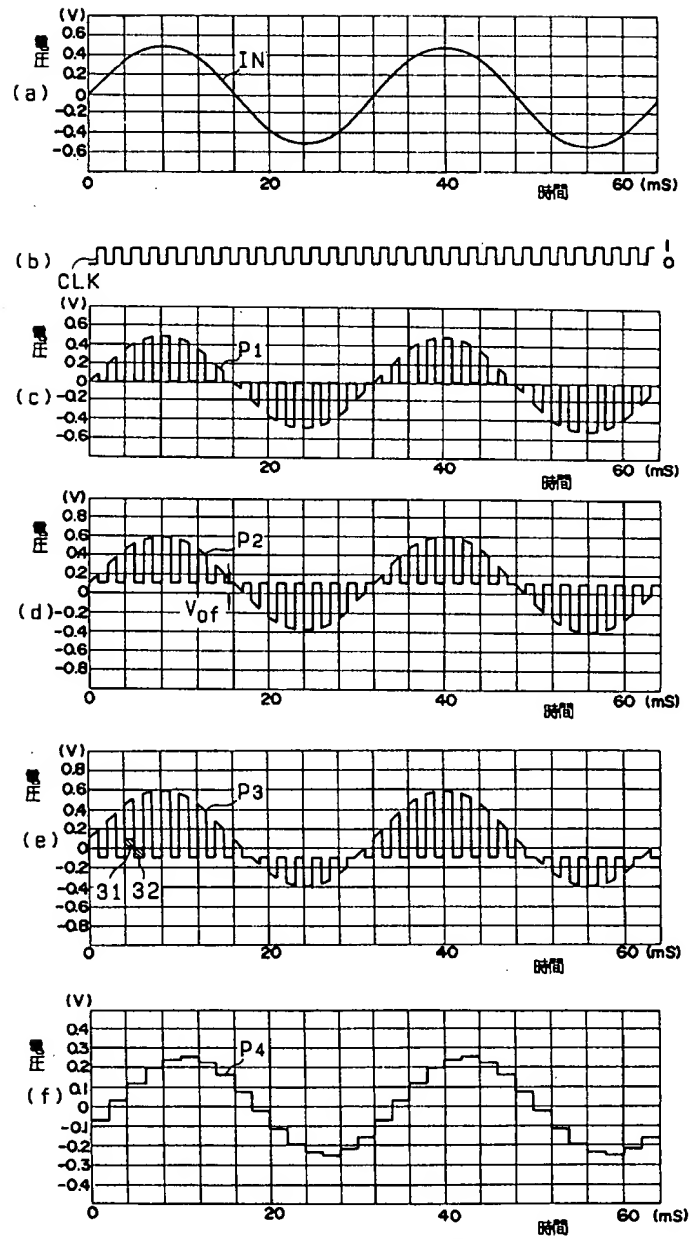
ΔΣ型A/Dコンバータの一般的な構成図

第3図



本発明の具体的な実施例を示す回路図

第4図



第4図の回路における各部の波形図

第5図